

09.07.2004



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

REC'D 19 JUL 2004

WIPO PCT

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 18 MAI 2004

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint-Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

REMISE DES PIÈCES DATE 22 MAI 2003 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0306145 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 22 MAI 2003		Réservé à l'INPI 1. NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE CABINET PLASSERAUD 84, rue d'Amsterdam 75440 PARIS CEDEX 09	
Vos références pour ce dossier (facultatif) BFF030097			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2. NATURE DE LA DEMANDE Demande de brevet <input checked="" type="checkbox"/> Demande de certificat d'utilité <input type="checkbox"/> Demande divisionnaire <input type="checkbox"/> Demande de brevet initiale N° _____ Date _____ ou demande de certificat d'utilité initiale N° _____ Date _____ Transformation d'une demande de brevet européen Demande de brevet initiale N° _____ Date _____		Cochez l'une des 4 cases suivantes	
3. TITRE DE L'INVENTION (200 caractères ou espaces maximum) CIRCUIT DE COMMANDE DE DECALAGE EN TENSION POUR PLL			
4. DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5. DEMANDEUR (Cochez l'une des 2 cases) <input checked="" type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique			
Nom ou dénomination sociale EADS TELECOM			
Prénoms _____			
Forme juridique Société par Actions Simplifiée			
N° SIREN 414848986			
Code APE-NAF _____			
Domicile ou siège	Rue Bue Jean Pierre Timbaud Batiment Jean-Pierre Timbaud 78180 MONTIGNY LE		
	Code postal et ville 78180 MONTIGNY LE		
	Pays FRANCE		
Nationalité FRANCE			
N° de téléphone (facultatif) Française		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			

REMISE DES PIÈCES DATE 22 MAI 2003 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0306145 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI	DB 540 W / 210502
6 MANDATAIRE (s'il y a lieu)		BF030097	
Nom			
Prénom			
Cabinet ou Société			
N° de pouvoir permanent et/ou de lien contractuel		Cabinet PLASSERAUD	
Adresse	Rue		
	Code postal et ville	84, rue d'Amsterdam	
	Pays		
N° de téléphone (facultatif)		75009 PARIS	
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			
7 INVENTEUR(S)		Les inventeurs sont nécessairement des personnes physiques	
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/>	
Paiement échelonné de la redevance (en deux versements)		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence) : AG	
10 SÉQUENCES DE NUCLEOTIDES ET/OU D'ACIDES AMINÉS		<input type="checkbox"/> Cochez la case si la description contient une liste de séquences	
Le support électronique de données est joint		<input type="checkbox"/>	
La déclaration de conformité de la liste de séquences sur support papier avec le support électronique de données est jointe		<input type="checkbox"/>	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
11 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Stéphane VERDURE 97-0901		VISA DE LA PRÉFECTURE OU DE L'INPI L. MARIELLO	

CIRCUIT DE COMMANDE DE DECALAGE EN TENSION POUR PLL

La présente invention concerne un circuit de commande de décalage en tension destiné à être disposé en parallèle avec au moins un condensateur de décalage en tension couplant le comparateur de phase ou fréquence et l'oscillateur commandé en tension d'une boucle à phase asservie (PLL).

5 Les PLLs trouvent de nombreuses utilisations dans l'industrie électronique, parmi lesquelles la génération de signaux modulés en phase ou fréquence. Les applications de la présente invention visent en particulier cette utilisation. L'invention trouve en effet des applications, notamment, dans les émetteurs radiofréquence (RF) des stations fixes et des terminaux mobiles des
10 systèmes de radiocommunications numériques.

La figure 1 illustre le principe de fonctionnement d'une PLL. La PLL comprend un comparateur de phase ou fréquence (PFD) 10 qui reçoit deux signaux d'entrée. Le premier est un signal FREF de référence de phase ou fréquence, et le second est un signal FVCO issu d'un oscillateur commandé en
15 tension (VCO) 30 en ayant subi une division de fréquence dans un diviseur de fréquence à rapport variable 40. La tension de sortie du PFD est intégrée par un filtre passe-bas 20 appelé filtre de boucle. La sortie du filtre de boucle commande le VCO de manière à aligner les phases des deux signaux d'entrée FREF et FVCO du PFD. Le VCO délivre le signal de sortie de la PLL qui oscille
20 autour d'une fréquence de référence asservie et modulée par la PLL.

Eventuellement la modulation de fréquence (FM) est introduite au niveau du diviseur 40, en commandant le rapport de division variable.

Les performances de la PLL déterminent notamment la pureté spectrale du signal de sortie, et la linéarité de la modulation. A cet égard,
25 l'absence de bruit en entrée du VCO et la linéarité du gain du PFD sont d'une grande importance. Il a été proposé des réalisations du PFD favorisant la linéarité en gain (voir WO 97/01884). Ces réalisations nécessitent que la composante continue du signal en sortie du PFD corresponde à un point de fonctionnement correspondant sensiblement à la tension de mode commun
30 (MC), c'est-à-dire à $\frac{V_{dd}}{2}$, où V_{dd} désigne la tension d'alimentation de la PLL.

Pour pouvoir effectuer des changements de canal de l'émetteur incorporant la PLL, on prévoit des moyens pour changer la composante continue en entrée du VCO. En effet, la fréquence moyenne du signal de sortie varie selon le canal utilisé, ce qui signifie que la tension théorique moyenne en entrée du VCO peut varier de 0 à Vdd. Les moyens formant translateur de tension comprennent par exemple un condensateur de forte valeur disposé en série entre la sortie du PFD et l'entrée du VCO.

La charge (ou la décharge) rapide de ce condensateur est souhaitable pour réduire la perte de temps lors des changements de canaux, notamment lors des transferts intercellulaires (en anglais "handover") du terminal mobile comprenant la PLL. Bien qu'on se réfère dans la suite uniquement à la charge du condensateur, il est bien entendu que ce terme désigne à la fois la charge capacitive et la décharge capacitive de ce composant, la charge capacitive étant obtenue par un courant de charge positif et la décharge capacitive étant obtenue par un courant de charge négatif.

L'invention vise à proposer des moyens pour permettre une charge rapide des moyens capacitifs formant translateur de tension, lors des changements de canaux de l'émetteur incorporant la PLL, tout en assurant de bonnes performances à la PLL en termes de pureté spectrale et de linéarité.

Ce but est atteint grâce à un circuit de commande de décalage en tension destiné à être disposé en parallèle avec au moins un condensateur de décalage en tension couplant le comparateur de phase et l'oscillateur commandé en tension d'une boucle à phase verrouillée. Le circuit comprend :

- une entrée, destinée à être couplée à la sortie du comparateur de phase ;
- une sortie, destinée à être couplée à l'entrée de l'oscillateur commandé en tension ;
- des moyens de charge commandés, adaptés pour charger le condensateur de décalage en tension en fonction d'un signal de commande ;
- des moyens de précharge commandés, adaptés pour accélérer la charge du condensateur de décalage en tension par les moyens de charge commandés ; et,

- des moyens de polarisation commandés, adaptés pour assurer la polarisation de l'entrée pendant la précharge du condensateur de décalage en tension.

Un deuxième aspect de l'invention concerne une PLL comprenant un comparateur de phase ou fréquence, un filtre de boucle, un oscillateur commandé en tension, un condensateur de décalage en tension reliant le comparateur de phase et l'oscillateur commandé en tension, ainsi qu'un circuit de commande de décalage en tension selon tel que défini plus haut, qui est disposé en parallèle avec le condensateur de décalage en tension.

Un troisième aspect de l'invention concerne un émetteur radiofréquence comprenant une boucle à phase verrouillée selon le deuxième aspect pour générer un signal radiofréquence à émettre.

Un quatrième et un cinquième aspect de l'invention concernent encore respectivement un terminal mobile et une station de base d'un système de radiocommunications comprenant un émetteur radiofréquence selon le troisième aspect.

D'autres caractéristiques et avantages de l'invention apparaîtront encore à la lecture de la description qui va suivre. Celle-ci est purement illustrative et doit être lue en regard des dessins annexés sur lesquels :

- la figure 1 est un schéma fonctionnel d'une PLL ;
- la figure 2 est un schéma illustrant un premier mode de réalisation d'un circuit selon l'invention ;
- la figure 3 est un graphique illustrant un exemple de caractéristique d'un VCO ;
- la figure 4 est un schéma illustrant un exemple de réalisation détaillée des moyens de précharge du circuit selon l'invention ;
- la figure 5 est un graphique montrant la réponse transitoire en tension de l'entrée et de la sortie du circuit selon l'invention ; et,
- la figure 6 est un schéma illustrant un second mode de réalisation du circuit selon l'invention.

La présente description fournit des exemples de réalisation d'un circuit selon l'invention. Le circuit peut-être réalisé sous la forme d'un circuit ASIC

("Application Specific Integrated Circuit"), par exemple en technologie CMOS submicronique (0,35 μm ou moins).

La figure 2 est un schéma qui illustre un premier exemple de réalisation du circuit selon l'invention.

5 Le circuit 50 est alimenté via une borne d'alimentation haute V_{dd} et une borne d'alimentation basse V_{ss} . Dans un exemple, le potentiel d'alimentation basse V_{ss} est le potentiel de masse, et le potentiel d'alimentation haute V_{dd} , ou tension d'alimentation, est égal à 3,3 V.

10 Le circuit comprend une entrée 21 et une sortie 22. L'entrée 21 est destinée à être couplée à la sortie du PFD d'une PLL, et la sortie 22 est destinée à être couplée à l'entrée du VCO de la PLL.

Le rôle du circuit 50 est, au moment d'un changement de canal, de précharger la tension en entrée du VCO à une valeur proche de la valeur moyenne correspondant au canal choisi, tout en maintenant la tension en sortie
15 du PFD autour de la tension de mode commun, c'est-à-dire $\frac{V_{dd}}{2}$, ou 1,65 V dans l'exemple. En dehors des périodes suivant un changement de canal, le circuit 50 permet de compenser les fuites de courant en entrée du VCO.

Un condensateur C_a de forte valeur, par exemple 1 μF , formant moyens de décalage en tension, est typiquement présent entre l'entrée 21 et la
20 sortie 22 du circuit 50, étant disposé entre la sortie du PFD et l'entrée du VCO de la PLL. Bien entendu, ce condensateur C_a peut-être remplacé par toute structure essentiellement capacitive, notamment un assemblage comprenant un ou plusieurs condensateurs disposés en série et/ou en parallèle.

A la figure 2, on a également représenté un exemple de filtre de boucle
25 20 de la PLL. Ce filtre 20 est un filtre passe-bas comprenant ici un condensateur C_1 disposé en parallèle avec un réseau RC, ce dernier comprenant une résistance R_2 en série avec un condensateur C_2 , entre la sortie 22 du circuit et la borne V_{ss} . Plus particulièrement, le filtre 20 est disposé dans la PLL, entre la sortie du PFD et l'entrée du VCO, en aval du
30 condensateur C_a . Bien entendu, l'invention ne se limite pas à cet exemple de réalisation du filtre de boucle 20, et toute structure de filtre passe-bas peut convenir.

Les autres éléments de la PLL peuvent comprendre un diviseur de fréquence à rapport variable disposé dans le chemin de rétroaction, tel qu'illustré par le schéma de la figure 1.

Essentiellement, le circuit 50 comprend des moyens analogiques 51, 52 et 53, et une unité logique 54.

Des moyens de polarisation commandés 53, sont adaptés pour assurer la polarisation de l'entrée 21 pendant la précharge du condensateur C_a , en imposant la tension de mode commun sur cette entrée. Les moyens 53 peuvent par exemple comprendre un amplificateur de transconductance opérationnel (ou OTA, de l'anglais "Operational Transconductance Amplifier") OTA2 monté en suiveur de tension. L'entrée non-inverseuse de cet amplificateur opérationnel reçoit la tension de mode commun générée par un pont résistif comprenant deux résistances identiques de forte valeur reliées en série entre les bornes V_{dd} et V_{ss} . L'entrée inverseuse de l'amplificateur opérationnel est reliée à l'entrée 21 à travers un interrupteur de commande SW5. L'interrupteur SW5 est commandé par un signal de commande CTRL2 généré par l'unité logique 54.

En configuration d'activation des moyens de polarisation, c'est-à-dire lorsque l'interrupteur SW5 est fermé, l'amplificateur opérationnel OTA2 impose la tension de mode commun sur l'entrée 21 du circuit 50. C'est pourquoi cet amplificateur est aussi appelé suiveur de mode commun.

Des moyens de charge commandée 51, sont adaptés pour charger le condensateur C_a en fonction d'un signal de commande de canal reçu de l'extérieur du circuit. Ce signal de commande de canal est par exemple codé sur 8 bits. Il a pour fonction de commander la tension en entrée du VCO à une valeur proche de la valeur moyenne (c'est-à-dire faisant abstraction de la modulation) correspondant à un canal radio choisi.

Pour cela, les moyens 51 comprennent un amplificateur de transconductance opérationnel OTA1 monté en suiveur de tension en parallèle avec le condensateur C_a . Ils comprennent aussi une source de courant commandée CSa qui débite un courant positif ou négatif la à travers une résistance R_a disposée en série dans la boucle de rétroaction de l'amplificateur opérationnel OTA1. Dit autrement, la source de courant CSa est reliée entre la

borne V_{ss} et l'entrée inverseuse de l'amplificateur opérationnel OTA1, laquelle entrée est également bouclée à la sortie de cet amplificateur via la résistance R_a . La sortie de l'amplificateur opérationnel OTA1 est reliée à la sortie 22 du circuit à travers une résistance R_b de forte valeur, par exemple 1 M Ω . L'entrée non-inverseuse de l'amplificateur opérationnel OTA1 est reliée à l'entrée 21 du circuit et également à la sortie de l'amplificateur opérationnel OTA2 des moyens 53 à travers l'interrupteur SW5. Ainsi, elle reçoit la tension de mode commun comme référence lorsque cet interrupteur est fermé par le signal CTRL2 c'est-à-dire lorsque la précharge est activée. De cette manière, la charge du condensateur C_a est réalisée lors d'un changement de canal radio, sous une tension commandée par le signal de commande précité à partir de la tension de mode commun. Cette charge est donc optimisée en temps.

La source de courant CSa est par exemple réalisée sous la forme d'un convertisseur numérique-analogique fournissant, dans le cas d'une résistance R_a de 33 k Ω , un courant allant de -50 μ A à +50 μ A, par l'intermédiaire du signal de commande codé sur 8 bits. Un tel convertisseur peut avantageusement être réalisé à partir de 255 sources de courant unitaires. Concernant la réalisation sur silicium, ces sources de courant unitaires sont préférentiellement mélangées au sein d'une matrice barycentrique pour limiter les dispersions de courant dues aux effets thermiques.

On notera que le bruit de l'amplificateur opérationnel OTA1, lorsque la précharge est désactivée, est filtré par les éléments R_b , C_1 et C_2 disposés en aval. Ce bruit n'affecte donc pas les performances de la PLL. Ceci est un avantage par rapport à d'autres structures possibles, pour lesquelles des amplificateurs opérationnels faible bruit, occupant plus de place sur silicium et consommant plus d'énergie, sont requis.

Le circuit 50 comprend enfin des moyens de précharge commandés 52, qui sont adaptés pour accélérer la charge du condensateur externe C_a par les moyens de charge commandés 51 lors d'un changement de canal. Les moyens 52 comprennent un étage push-pull formé de deux transistors P3 et P4, qui sont respectivement un transistor PMOS et un transistor NMOS, disposés en série entre les bornes V_{dd} et V_{ss} . Les grilles de commande des transistors P3 et P4 sont reliés aux grilles de commande de transistors

correspondants d'un étage de sortie push-pull de l'amplificateur opérationnel OTA1 (voir figure 4 décrite plus loin) à travers des interrupteurs commandés respectivement SW1 et SW2. La sortie de l'étage push-pull P3-P4 est reliée à la sortie 22 du circuit. Ainsi connecté, cet étage court-circuite la résistance Rb de forte valeur lorsque les interrupteurs SW1 et SW2 sont fermés. La fermeture de ces interrupteurs est commandée par un signal de commande CTRL1 généré par l'unité logique 54, lors d'un changement de canal radio.

Le fonctionnement des moyens de charge 51 va maintenant être expliqué en regard du diagramme de la figure 3. Sur cette figure, on a représenté une courbe correspondant à la réponse typique d'un VCO. Plus particulièrement, la courbe montre l'allure de la fréquence Fout du signal délivré en sortie du VCO en fonction de la tension d'entrée Vin du VCO. Dans les applications de l'invention qui sont envisagées, le VCO doit pouvoir délivrer un signal radiofréquence dans une bande continue de 50 MHz de large, comprise entre à peu près 380 MHz et à peu près 430 MHz, lorsque la tension d'entrée Vin varie entre 1 V et Vdd. Le VCO est calibré de manière que la fréquence Fout se situe sensiblement au milieu de la bande de 50 MHz précitée lorsque la tension Vin est sensiblement égale à la tension de mode commun $\frac{Vdd}{2}$.

Supposons que le canal choisi soit situé à une fréquence correspondant au point 31 sur la courbe. Les moyens 51 doivent alors générer un décalage en tension représenté par l'intervalle 32 à la figure, par rapport à la tension $\frac{Vdd}{2}$. Ce décalage est obtenu en commandant la source de courant CSa de manière qu'elle débite un courant Ia tel que le produit Ra x Ia soit égal au décalage en tension 32.

La figure 4 illustre de manière détaillée le couplage des moyens de précharge 52 à l'amplificateur opérationnel OTA1. Celui-ci est représenté par le symbole d'un amplificateur différentiel (i.e., un triangle) suivi par un étage de sortie push-pull composé de deux transistors P1 et P2, respectivement un transistor PMOS et un transistor NMOS en série entre les bornes Vdd et Vss. La sortie de l'étage push-pull P1-P2 est reliée à une borne de la résistance Rb,

dont l'autre borne est reliée à la sortie de l'étage push-pull P3-P4 des moyens 52. Les grilles de commande des transistors P3 et P4 sont respectivement reliées aux grilles de commande des transistor P1 et P2 par l'intermédiaire des interrupteurs commandés SW1 et SW2 précités.

5 Lorsque le signal CTRL1 est dans un état logique déterminé, par exemple état logique 1, il provoque ainsi la fermeture des interrupteurs SW1, SW2, SW7 et SW8. De cette manière, les transistors P1 et P3 d'une part, et les transistors P2 et P4 d'autre part, se trouvent montés en miroir de courant. De plus, la résistance Rb est alors court-circuitée. On peut prévoir un interrupteur
10 SW7 en parallèle avec la résistance Rb, la fermeture de cet interrupteur étant commandée par le signal CTRL1 lors de l'activation des moyens de précharge 52, de manière à minimiser les effets d'un déséquilibre entre le push-pull P1-P2 et le push-pull P3-P4.

Les transistors P3 et P4 ont de préférence une largeur de grille
15 substantiellement supérieure à celle respective des transistors P1 et P2, ils délivrent un courant de charge du condensateur Ca supérieur au courant délivré par les transistors P1 et P2. Par exemple, les transistors P1 et P2 peuvent être dimensionnés pour délivrer un courant de charge de 100 μ A, et les transistors P3 et P4 peuvent être dimensionnés de façon à délivrer un
20 courant 20 fois supérieur, c'est-à-dire un courant de 2 mA dans l'exemple. Dit autrement, les moyens de précharge 52 permettent d'accélérer la charge du condensateur Ca lorsqu'ils sont activés par le signal CTRL1.

Dans un mode de réalisation avantageux, on dispose également des interrupteurs SW3 et SW4 respectivement entre la grille du transistor P3 et la
25 borne Vdd, et entre la grille du transistor P4 et la borne Vss. Ces transistors SW3 et SW4 sont commandés par un signal correspondant à l'inverse du signal de commande CTRL1. De cette manière, les interrupteurs SW3 et SW4 sont fermés lorsque les moyens de précharge 52 sont désactivés, en sorte que les transistors P3 et P4 sont bloqués. Ainsi, on évite la génération de courants
30 de fuite à travers ces transistors dans l'état désactivé des moyens 52.

De retour à la figure 2, le fonctionnement des moyens de précharge 52 et des moyens de polarisation 53 lors d'un changement de canal radio est maintenant expliqué.

Lors du changement de canal radio, l'unité logique 54 positionne le signal de commande CTRL2 de manière qu'il ferme l'interrupteur SW5. Par conséquent, la tension de mode commun $\frac{V_{dd}}{2}$ est imposée sur l'entrée 21 du circuit. Elle est également fournie comme référence à l'amplificateur opérationnel OTA1 des moyens de charge 51.

De même, l'unité logique 54 positionne le signal de commande CTRL1 de manière qu'il ferme les interrupteurs SW1 et SW2. L'étage push-pull des moyens de précharge 52, dont les transistors P3 et P4 sont montés en miroir avec les transistors correspondants de l'étage de sortie push-pull de l'amplificateur OTA1, génère alors un courant de charge important, adapté pour accélérer la charge du condensateur Ca par rapport à ce qu'elle serait si seuls les moyens de charge 51 étaient présents.

On notera que la faible impédance de sortie de l'amplificateur opérationnel OTA2 fonctionnant en suiveur de mode commun permet l'évacuation du courant de charge du condensateur Ca.

Au bout d'un temps déterminé, l'unité logique 54 positionne les signaux de commande CTRL1 et CTRL2 de manière à désactiver les moyens 52 et 53, respectivement. La sortie de l'amplificateur opérationnel OTA2 est ainsi mise à l'état haute impédance, de même que les grilles de commande des transistors P3 et P4 des moyens de précharge 52. Néanmoins, les moyens 51 restent actifs. De la sorte, d'éventuelles fuites de courant en entrée du VCO sont compensées par la charge du condensateur Ca par les moyens 51. En effet, ces derniers restent commandés par le signal de commande de canal en sorte que le courant la continue d'être débité dans la résistance Ra.

A la figure 5, les courbes 51 et 52 montrent la réponse transitoire en tension, respectivement de l'entrée du VCO et de la sortie du PFD de la PLL, suivant un changement de canal radio intervenant à l'instant $t=0$.

Dans la situation représentée par la courbe 61, le signal de commande de canal fait passer la tension moyenne en entrée du VCO de 370 mV à 2,8 V. Le temps de précharge à 1 mV d'erreur est de l'ordre de 1 ms.

Ainsi que le montre la courbe 62, la tension en sortie du PFD reste sensiblement constante pendant la précharge, à la tension de mode commun (i.e., à 1,65 V).

De préférence, les moyens de polarisation 53 sont désactivés après les
5 moyens de précharge 52. Ceci permet de réduire de réduire les injections de charge aux bornes du condensateur de décalage en tension Ca. Ceci est obtenu par un décalage approprié entre les signaux de commande CTRL1 et CTRL2. Ce décalage est par exemple de l'ordre de 1 μ s.

Le schéma de la figure 6 illustre un autre mode de réalisation du circuit
10 selon l'invention, qui constitue un raffinement de celui de la figure 2. A la figure 6, les mêmes éléments qu'à la figure 2 portent les mêmes références et ne sont pas décrits à nouveau.

Le filtre de boucle 20 comportant un réseau de correction de phase RC formé des composants R2 et C2, il a été observé que lorsque le courant délivré
15 par le PFD est faible, la résistance R2 devient sensiblement élevée et peut augmenter la durée de la précharge. Il est alors avantageux d'avoir une source de courant commandée pour charger le condensateur C2.

Dans le mode de réalisation représenté, une telle source de courant commandée 55 comprend un étage push-pull supplémentaire P5-P6, monté en
20 miroir avec l'étage push-pull P3-P4 des moyens de précharge 52 et avec l'étage push-pull de sortie P1-P2 de l'amplificateur opérationnel OTA1. Plus particulièrement, cet étage push-pull supplémentaire comprend deux transistors P5 et P6, respectivement un transistor PMOS et un transistor NMOS, reliés en série entre les bornes Vdd et Vss, la grille du transistor P5
25 étant reliée à la grille du transistor P3 via un interrupteur commandé SW5, et la grille du transistor P6 étant reliée à la grille du transistor P4 via un autre interrupteur commandé SW6. La sortie de l'étage push-pull P5-P6 est reliée au point milieu du réseau RC, c'est-à-dire entre la résistance R2 et le condensateur C2, le premier étant disposé entre la sortie 22 du circuit et ledit
30 point milieu, et le second étant disposé entre ledit point milieu et la borne Vss.

La fermeture des interrupteurs SW5 et SW6 est commandée par un signal de commande CTRL3 généré par l'unité logique 54, indépendamment

de l'activation des moyens de précharge par le signal CTRL1. En variante, elle peut être commandée par le signal CTRL1.

L'étage push-pull supplémentaire P5-P6 peut également être intégré à l'amplificateur opérationnel OTA1 des moyens de charge 51.

REVENDECATIONS

1. Circuit de commande de décalage en tension destiné à être disposé en parallèle avec au moins un condensateur de décalage en tension (Ca) couplant le comparateur de phase (10) et l'oscillateur commandé en tension (30) d'une boucle à phase verrouillée, et comprenant :

- 5 - une entrée (21), destinée à être couplée à la sortie du comparateur de phase ;
- une sortie (22), destinée à être couplée à l'entrée de l'oscillateur commandé en tension ;
- des moyens (51) de charge commandés, adaptés pour charger le
- 10 condensateur de décalage en tension en fonction d'un signal de commande ;
- des moyens (52) de précharge commandés, adaptés pour accélérer la charge du condensateur de décalage en tension par les moyens de charge commandés ; et,
- des moyens (53) de polarisation commandés, adaptés pour assurer la
- 15 polarisation de l'entrée pendant la précharge du condensateur de décalage en tension.

2. Circuit selon la revendication 1, dans lequel les moyens de charge commandés comprennent un premier amplificateur opérationnel (OTA1) monté

20 en suiveur de tension entre l'entrée et la sortie, une résistance (Ra) disposée dans la boucle de rétroaction de l'amplificateur opérationnel, ainsi qu'une source de courant commandée débitant un courant (Ia) de valeur déterminée dans ladite résistance.

25 3. Circuit selon la revendication 2, dans lequel l'amplificateur opérationnel des moyens de charge comprend un étage push-pull de sortie (P1-P2), dans lequel les moyens de charge comprennent en outre une

 résistance (Rb) de forte valeur connectée en série entre la sortie de l'amplificateur opérationnel et la sortie du circuit.

30

4. Circuit selon la revendication 3, dans lequel les moyens de précharge commandés comprennent un étage push-pull (P3-P4) qui, en

configuration d'activation des moyens de précharge, est agencé en miroir avec l'étage push-pull de sortie de l'amplificateur opérationnel des moyens de charge, de manière à court-circuiter ladite résistance de forte valeur.

5 5. Circuit selon la revendication 4, dans lequel l'étage push-pull des moyens de précharge est adapté pour délivrer un courant supérieur au courant délivré par l'étage push-pull de sortie de l'amplificateur opérationnel des moyens de charge.

10 6. Circuit selon l'une quelconque des revendications précédentes, dans lequel les moyens de polarisation commandés comprennent un second amplificateur opérationnel (OTA2) monté en suiveur de tension qui, en configuration d'activation des moyens de polarisation commandés, est agencé pour imposer une tension de mode commun sur l'entrée du circuit.

15 7. Circuit selon l'une quelconque des revendications précédentes, comprenant en outre des moyens (54) pour désactiver les moyens de précharge commandés avant les moyens de polarisation commandés.

20 8. Circuit selon l'une quelconque des revendications 2 à 7, comprenant en outre un étage push-pull commandé supplémentaire (P5-P6) dont la sortie est destinée à être reliée au point milieu d'un réseau RC d'un filtre de boucle de la PLL et qui, en configuration d'activation, est monté en miroir avec l'étage push-pull des moyens de précharge commandés et avec l'étage push-pull de
25 sortie de l'amplificateur opérationnel des moyens de charge.

 9. Circuit selon la revendication 8, dans lequel l'étage push-pull commandé supplémentaire est intégré à l'amplificateur opérationnel des
30 moyens de charge.

 10. Circuit selon l'une quelconque des revendications précédentes, réalisé en technologie CMOS.

11. Boucle à phase verrouillée comprenant un comparateur de phase ou fréquence (10), un filtre de boucle (20), un oscillateur commandé en tension (30), un condensateur de décalage en tension (Ca) reliant le comparateur de phase et l'oscillateur commandé en tension, ainsi qu'un circuit de commande de décalage en tension selon l'une quelconque des revendications précédentes disposé en parallèle avec le condensateur de décalage en tension.

12. Emetteur radiofréquence comprenant une boucle à phase verrouillée selon la revendication 11 pour générer un signal radiofréquence à émettre.

13. Terminal mobile d'un système de radiocommunications comprenant un émetteur radiofréquence selon la revendication 12.

14. Station de base d'un système de radiocommunications comprenant un émetteur radiofréquence selon la revendication 12.

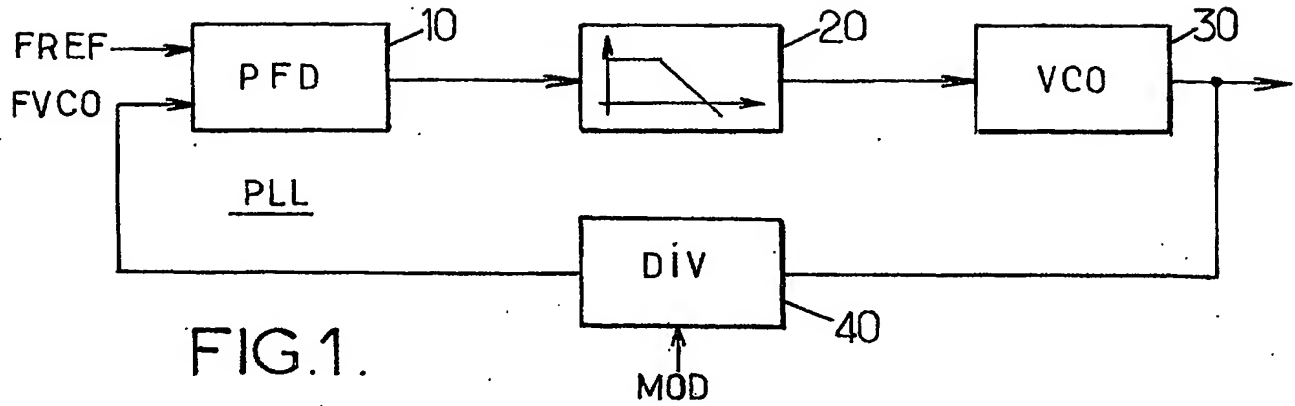


FIG.1.

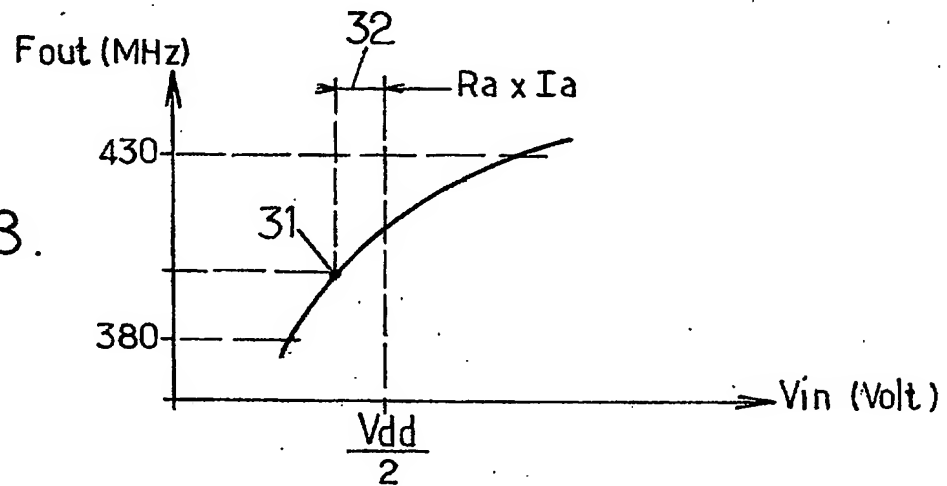


FIG.3.

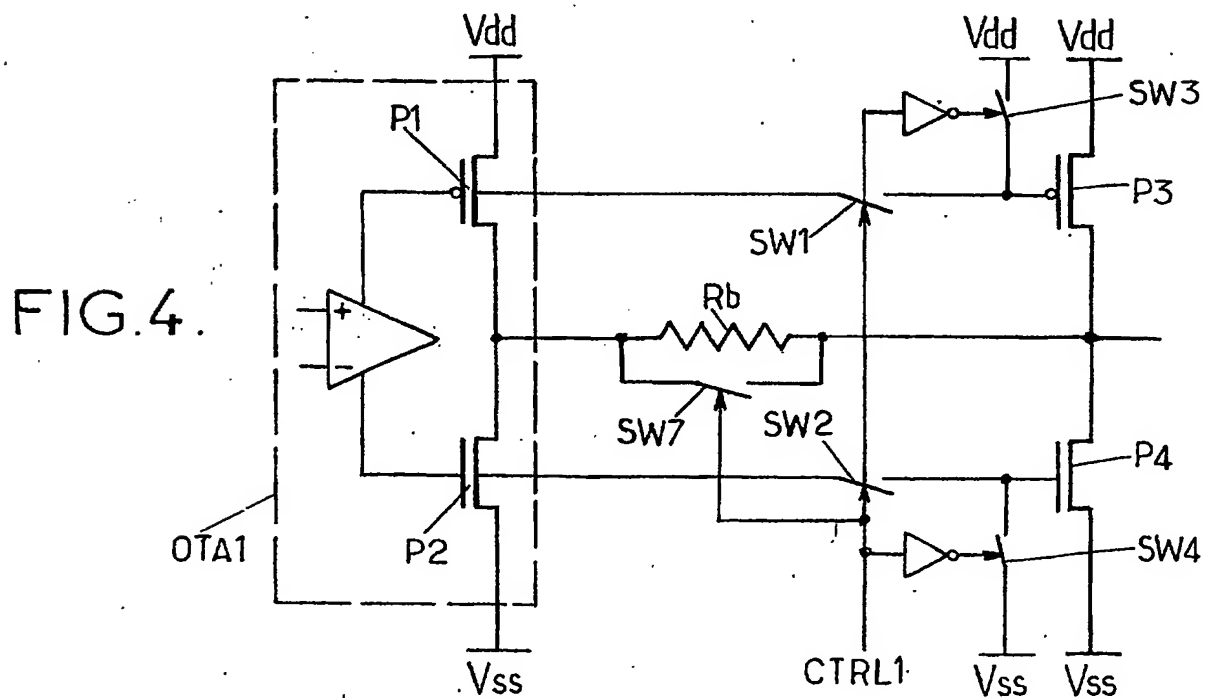
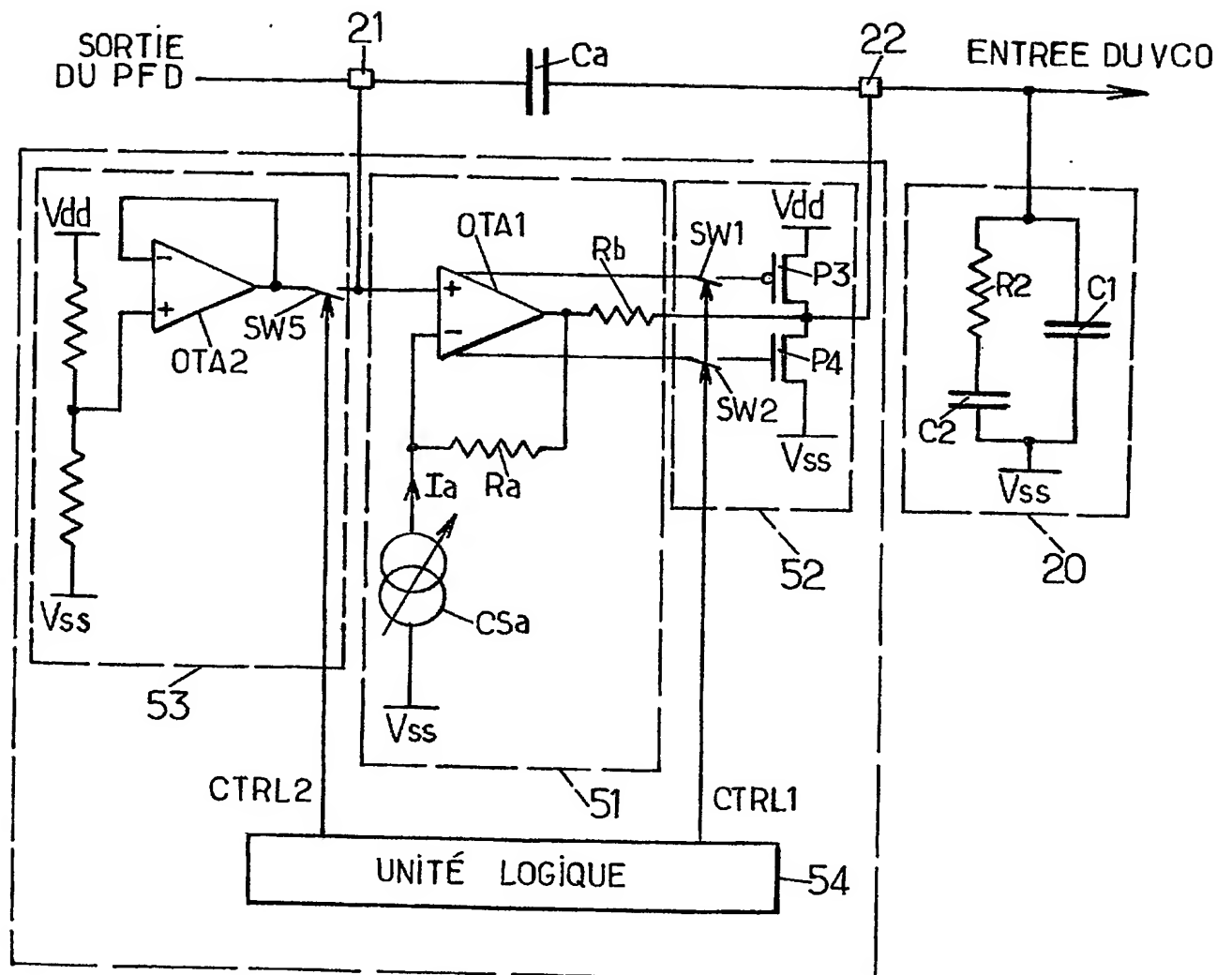
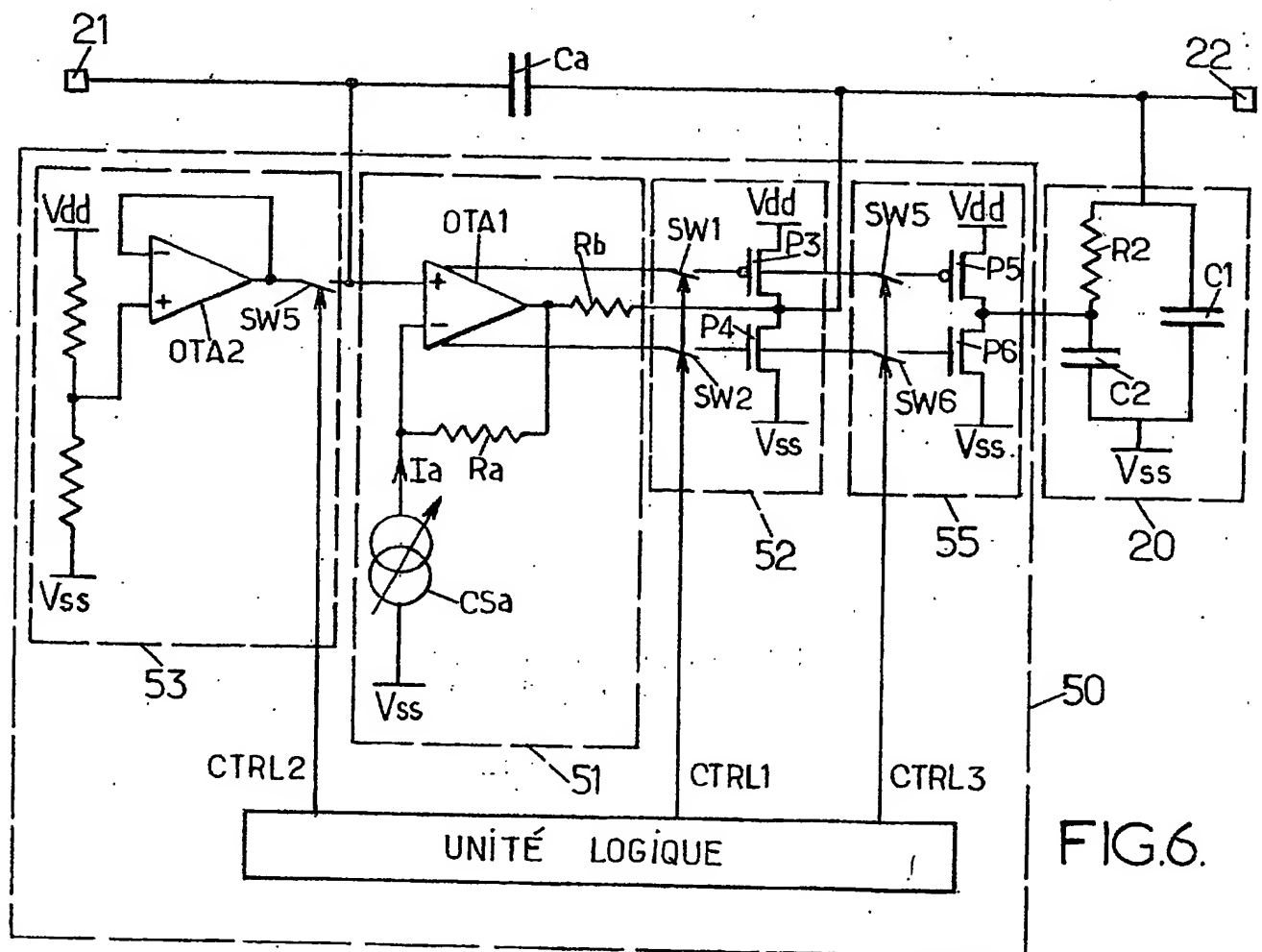
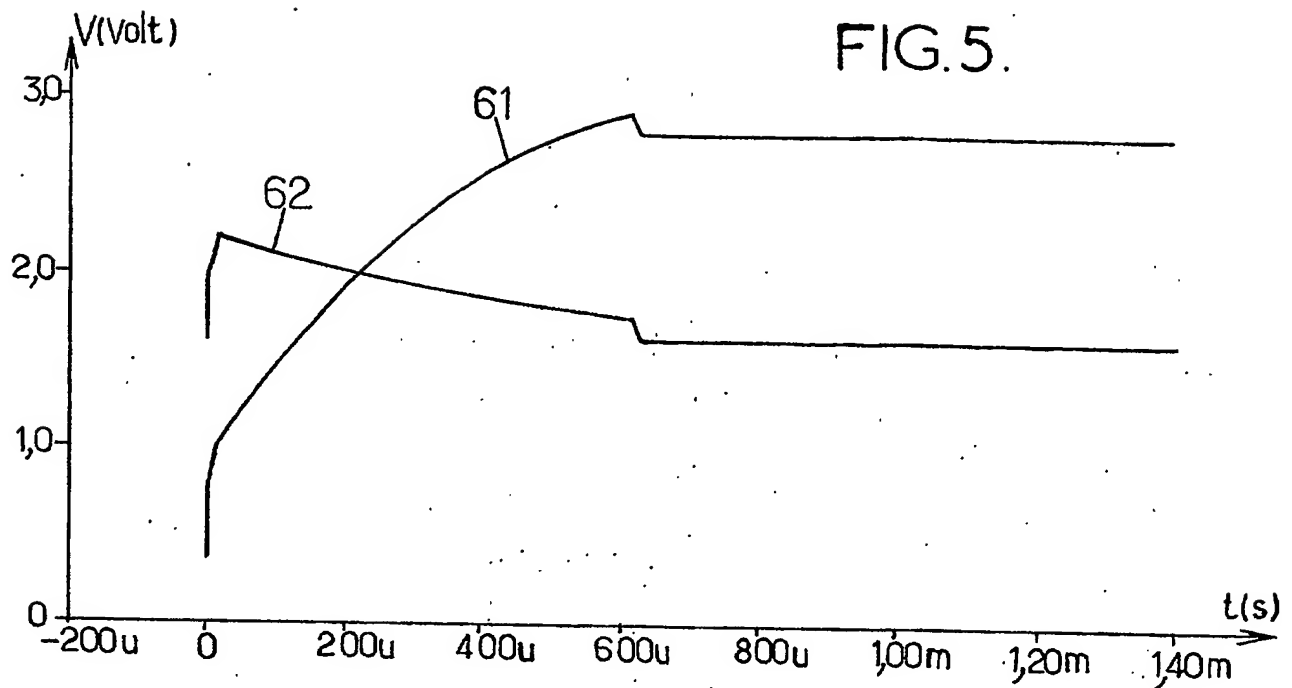


FIG.4.

FIG.2.





DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° **1. / 1.**

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)



Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 © W / 270601

Vos références pour ce dossier (facultatif)

BFF030097

N° D'ENREGISTREMENT NATIONAL

630 6145

TITRE DE L'INVENTION (200 caractères ou espaces maximum)

CIRCUIT DE COMMANDE DE DECALAGE EN TENSION POUR PLL

LE(S) DEMANDEUR(S) :

EADS TELECOM

DESIGNE(NT) EN TANT QU'INVENTEUR(S) :

1 Nom

Prénoms

ROBBE Michel

Adresse

Rue

36 bis rue du Maréchal Maunoury

Code postal et ville

78700 CONFLANS SAINT HONDRINE

Société d'appartenance (facultatif)

2 Nom

Prénoms

GUEGNAUD Hervé

Adresse

Rue

41 rue Noirmoutier

Code postal et ville

78130 MAUREPAS

Société d'appartenance (facultatif)

3 Nom

Prénoms

Adresse

Rue

Code postal et ville

Société d'appartenance (facultatif)

S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.

DATE ET SIGNATURE(S)

DU (DES) DEMANDEUR(S)

OU DU MANDATAIRE

(Nom et qualité du signataire)

Le 22 mai 2003

CABINET PLASSERAUD

Stéphane VERDURE

97-0901

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.